

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Osamu MATSUURA, et al.**

Serial Number: **Not Yet Assigned**

Filed: **August 7, 2003**

Customer No.: 23850

For: **SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

August 7, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-235847, filed on August 13, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 030948
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月13日

出 願 番 号

Application Number:

特願2002-235847

[ST.10/C]:

[JP2002-235847]

出 願 人

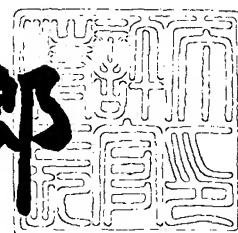
Applicant(s):

富士通株式会社

2003年 1月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000450

【書類名】 特許願

【整理番号】 0240522

【提出日】 平成14年 8月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 松浦 修武

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 丸山 研二

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9908504
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の上方に形成された下部電極及び上部電極と、

前記下部電極と前記上部電極との間に挟まれ、ペロブスカイト型構造の結晶構造を備えた強誘電体膜とを有し、

前記強誘電体膜は、

前記下部電極と接し、L a を含有するL a 含有領域と、

前記L a 含有領域上に存在し、P b を含有するP b 含有領域と、

を有し、

前記L a 含有領域の最下面におけるL a 濃度が、前記P b 含有領域の最上面におけるL a 濃度よりも高いことを特徴とする半導体装置。

【請求項2】 前記L a 含有領域は、L a T i O₃膜から構成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記下部電極は、I r から構成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 半導体基板の上方に下部電極を形成する工程と、

前記下部電極上に、L a を含有しP b を含有しないペロブスカイト型構造の結晶構造を備えた下地膜を形成する工程と、

前記下地膜上に、P b を含有するペロブスカイト型構造の結晶構造を備えた強誘電体膜を形成する工程と、

前記強誘電体膜上に、上部電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項5】 前記下地膜を、L a T i O₃膜とすることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記強誘電体膜を、P b (Z r, T i) O₃膜、(P b, L a) (Z r, T i) O₃膜、(P b, S r) (Z r, T i) O₃膜、(P b, C a) (Z r, T i) O₃膜、(P b, L a, S r) (Z r, T i) O₃膜、(P b,

La, Ca) (Zr, Ti) O₃膜、(Pb, Ca, Sr) (Zr, Ti) O₃膜、及び(Pb, La, Ca, Sr) (Zr, Ti) O₃膜からなる群から選択されたいずれか1種の膜とすることを特徴とする請求項4又は5に記載の半導体装置の製造方法。

【請求項7】 前記下地膜を形成する工程と前記強誘電体膜を形成する工程とを、前記下地膜を大気に触れさせることなく連続して行うことを特徴とする請求項4乃至6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】 前記下部電極を形成する工程と前記下地膜を形成する工程とを、前記下部電極を大気に触れさせることなく連続して行うことを特徴とする請求項4乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 前記強誘電体膜を形成する工程と前記上部電極を形成する工程とを、前記強誘電体膜を大気に触れさせることなく連続して行うことを特徴とする請求項4乃至8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 前記下部電極を、Ir膜から形成することを特徴とする請求項4乃至9のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性記憶装置等に好適な強誘電体キャパシタを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

強誘電体材料は優れた強誘電性、圧電性及び焦電性等を示すことから、メモリ（半導体記憶装置）、アクチュエータ及びセンサ等に応用されている。メモリに関しては、強誘電性を持つヒステリシスを利用することにより不揮発性メモリに応用することができる。これらの半導体装置においては、下地上に順次積層された下部電極、強誘電体膜及び上部電極からなるキャパシタ構造が採用されている。そして、強誘電体膜としては、強誘電体材料の中でも強誘電性が優れたPb (Zr, Ti) O₃（以下、PZTともいう。）が主に用いられている。また、強

誘電体膜の成膜方法としては、ゾルゲル法、スパッタ法、CVD（化学的気相成長）法等が用いられている。

【0003】

しかし、スパッタリング法又はCVD法によるPZT薄膜の形成においては、下地上でのPZTの初期核形成密度が低く、グレインサイズにばらつきが生じるという問題があった。そして、その解決策として、「Jpn.J.Appl.Phys., Vol.32., No.9B, pp.4086-4088(1993)」等で報告されている方法がある。この方法は、あらかじめ電極上にPbTiO₃の初期層を形成し、その後にPZT膜を成膜するものである。

【0004】

【発明が解決しようとする課題】

しかしながら、上述の従来の成膜方法のように、PbTiO₃の初期層を形成したとしても、この初期層の上に形成するPZT膜の配向性を十分に制御することはできない。配向性が低い場合、高い残留分極を得ることが困難になり、高い信頼性を得ることができないという問題が生じる。

【0005】

本発明は、かかる問題点に鑑みてなされたものであって、強誘電体膜に高い配向性を確保して高い信頼性を得ることができる半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、結晶の制御に初期層を使用しても、初期層にPbを含有する強誘電体を用いると、PbOの蒸気圧が高いため、成膜中にPbOが蒸発して薄い初期層において、その配向性の制御が困難となっており、この結果、その上に形成するPZT膜の配向性を十分に制御することができなくなっていることを見出した。そして、本願発明者は、この原因を排除すべく、以下に示す発明の諸態様に想到した。

【0007】

本発明に係る半導体装置の製造方法では、半導体基板の上方に下部電極を形成

した後、前記下部電極上に、L aを含有しP bを含有しないペロブスカイト型構造の結晶構造を備えた下地膜を形成する。その後、前記下地膜上に、P bを含有するペロブスカイト型構造の結晶構造を備えた強誘電体膜を形成する。そして、前記強誘電体膜上に、上部電極を形成する。

【0008】

このような半導体装置の製造方法によれば、半導体基板と、前記半導体基板の上方に形成された下部電極及び上部電極と、前記下部電極と前記上部電極との間に挟まれ、ペロブスカイト型構造の結晶構造を備えた強誘電体膜とを有する半導体装置が得られる。この半導体装置では、前記強誘電体膜に、前記下部電極と接し、L aを含有するL a含有領域と、前記L a含有領域上に存在し、P bを含有するP b含有領域とが設けられている。また、前記L a含有領域の最下面におけるL a濃度が、前記P b含有領域の最上面におけるL a濃度よりも高くなっている。

【0009】

本発明においては、下部電極上にペロブスカイト型構造の結晶構造を備えた下地膜を形成した後に、下地膜上にP bを含有する強誘電体膜を形成し、下地膜として、L aを含有しP bを含有しないものを使用している。従って、P bを含有する膜を形成するときのように蒸気圧が高くなることはないため、高い配向性をもった下地膜を形成することができる。そして、この配向性が、下地膜の上に形成する強誘電体膜の配向性を拘束するので、強誘電体膜の配向性も向上する。このため、例えば不揮発性半導体記憶装置に適用した場合には、高性能の強誘電体メモリを高い信頼性で製造することができる。

【0010】

なお、本願明細書において、強誘電体膜とは、必ずしもその全体が強誘電性を示す膜のみを指すものではなく、強誘電性を示さない膜と強誘電性を示す膜との積層膜であっても、全体として強誘電性を示すものであれば、そのような積層膜も強誘電体膜に含まれるものとする。また、同様に、積層膜でなくとも、上述の積層膜と同様に、全体として強誘電性を示すものであれば、強誘電体膜に含まれるものとする。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置及びその製造方法について添付の図面を参照して具体的に説明する。図1は、本発明の実施形態に係る強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

【0012】

このメモリセルアレイには、一方向に延びる複数本のビット線3、並びにビット線3が延びる方向に対して垂直な方向に延びる複数本のワード線4及びプレート線5が設けられている。また、これらのビット線3、ワード線4及びプレート線5が構成する格子と整合するようにして、複数個の本実施形態に係る強誘電体メモリのメモリセルがアレイ状に配置されている。各メモリセルには、強誘電体キャパシタ1及びMOSトランジスタ2が設けられている。

【0013】

MOSトランジスタ2のゲートはワード線4に接続されている。また、MOSトランジスタ2の一方のソース・ドレインはビット線3に接続され、他方のソース・ドレインは強誘電体キャパシタ1の一方の電極に接続されている。そして、強誘電体キャパシタ1の他方の電極がプレート線5に接続されている。なお、各ワード線4及びプレート線5は、それらが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ2により共有されている。同様に、各ビット線3は、それが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ2により共有されている。ワード線4及びプレート線5が延びる方向、ビット線3が延びる方向は、夫々行方向、列方向とよばれることがある。

【0014】

このように構成された強誘電体メモリのメモリセルアレイでは、強誘電体キャパシタ1に設けられた強誘電体膜の分極状態に応じて、データが記憶される。

【0015】

次に、上述のような強誘電体メモリの各メモリセルの構造について説明する。但し、ここでは、便宜上、各メモリセルの構造をその製造方法と共に説明する。図2乃至図4は、本発明の実施形態に係る強誘電体メモリ（半導体装置）の製造

方法を工程順に示す断面図である。なお、図2乃至図4には、1本のビット線（図1中のビット線3に相当）を共有する2個のMOSトランジスタに相当する部分を図示する。

【0016】

先ず、図2（a）に示すように、シリコン基板等の半導体基板11の表面に、例えばSTI（shallow trench isolation）により素子分離領域12を形成する。次いで、素子分離領域12により区画された素子活性領域において、半導体基板11の表面にウェル13を形成する。続いて、ゲート絶縁膜17、ゲート電極18、シリサイド層19、低濃度拡散層15、サイドウォール20及び高濃度拡散層16をウェル13の表面に形成することにより、MOSトランジスタ14を形成する。このMOSトランジスタ14が、図1におけるMOSトランジスタ2に相当する。なお、各MOSトランジスタ14には、ソース及びドレイン用に2個の高濃度拡散層16を形成するが、その一方は、2個のMOSトランジスタ14間で共有させる。

【0017】

次に、全面にシリコン酸窒化膜21を、MOSトランジスタ14を覆うようにして形成し、更に全面にシリコン酸化膜22を、例えば有機CVD法により形成する。シリコン酸窒化膜21は、シリコン酸化膜22を形成する際のゲート絶縁膜17等の水素劣化を防止するために形成されている。その後、各高濃度拡散層16間で到達するコンタクトホールをシリコン酸化膜22及びシリコン酸窒化膜21に形成することにより、プラグコンタクト部を開口する。そして、コンタクトホール内にバリアメタル膜23を形成した後、例えばCVD法によりW膜を埋め込み、CMP（化学機械的研磨）を行って平坦化することにより、Wプラグ24を形成する。

【0018】

次いで、図2（b）に示すように、全面にIr膜25、LaTiO₃（以下、LTともいう。）膜26a、PZT膜26b及びIrO₂膜27を順次形成する。LT膜26a及びPZT膜26bの結晶構造は、いずれもペロブスカイト型構造である。Ir膜25は、例えばスパッタ法により200nmの厚さに形成して

もよい。LT膜26aは、例えばMOCVD法により10nmの厚さに堆積してもよい。LT膜26aを成膜するのにMOCVD法を用いると、スパッタリング法を用いた場合と比較して、膜の配向性が良好になる。MOCVD法による成膜の方がより緻密な膜を形成でき、薄くても高い膜の配向性が得られる。LT膜自体は強誘電体膜ではないので、PZTが有する強誘電特性を損なわないためには、LT膜はできる限り薄くすることが好ましく、本発明に対しMOCVD法を用いてLT膜を成膜すれば、LT膜を薄くしながらPZTの強誘電特性を損なわずに済むため、好ましい。なお、上記では、10nmの膜を例示しているが、膜厚が20nm以下の場合、MOCVD法を用いたときとスパッタリング法を用いたときとを比較すると、MOCVD法を用いたときに良好な配向性が得られるという効果が顕著に現れる。

【0019】

PZT膜26bは、例えばMOCVD法により110nmの厚さに成膜してもよい。IrO₂膜27は、例えばスパッタ法により200nmの厚さに形成してもよい。LT膜26aは強誘電体膜ではないが、本実施形態では、LT膜26a及びPZT膜26bの積層膜から強誘電体膜26が構成されている。

【0020】

なお、これらの一連の成膜工程は、既に形成された膜を大気、特に水蒸気に晒さないようにするために、同一チャンバ内で、半導体基板11をチャンバから取り出すことなく連続して行うことが好ましい。つまり、In-situで行うことが好ましい。その中でも、LT膜26aの形成及びPZT膜26bの形成は連続して行うことが特に好適である。

【0021】

続いて、図2(c)に示すように、パターニング及びエッチング技術を用いて、IrO₂膜27、強誘電体膜26及びIr膜25を加工することにより、IrO₂膜27を上部電極とし、Ir膜25を下部電極とし、これらの間に強誘電体膜26が挟まれたスタック構造の強誘電体キャパシタを形成する。この強誘電体キャパシタが、図1における強誘電体キャパシタ1に相当する。

【0022】

次に、図3（a）に示すように、強誘電体キャパシタを覆うアルミナ保護膜28を全面に形成し、例えば650℃でO₂雰囲気の中を60分間行う。

【0023】

次いで、図3（b）に示すように、全面に層間絶縁膜29を成膜した後、これをCMPにより平坦化する。層間絶縁膜29としては、例えばHDP（High Density Plasma）CVD装置を使用してシリコン酸化膜を成膜してもよい。また、層間絶縁膜29としてTEOS（tetraethyl orthosilicate）酸化膜を成膜してもよい。

【0024】

続いて、図4（a）に示すように、パターニング及びエッチング技術を用いて、層間絶縁膜29及びアルミナ保護膜28に、2個のMOSトランジスタ14により共有された高濃度拡散層16に接続されたWプラグ24まで到達するコンタクトホールを形成する。次に、このコンタクトホール内にバリアメタル膜30を形成した後、例えばCVD法によりW膜を埋め込み、CMP（化学機械的研磨）を行って平坦化することにより、Wプラグ31を形成する。その後、例えば350℃でN₂プラズマに層間絶縁膜29及びWプラグ31の表面を晒す。このプラズマ処理の時間は、例えば120秒間である。

【0025】

次いで、全面にW酸化防止膜（図示せず）を形成する。W酸化防止膜としては、例えばSiON膜を使用することができ、その厚さは例えば100nm程度である。そして、パターニング及びエッチング技術を用いて、図4（b）に示すように、W酸化防止膜及び層間絶縁膜29に、上部電極たるIrO₂膜27まで到達するコンタクトホールを形成する。続いて、エッチングによる損傷を回復させるためのアニールを施す。このアニールは、例えば500℃でO₂雰囲気のファーストアニールとしてもよく、その時間は例えば60分間である。このアニールの後、W酸化防止膜をエッチバックにより除去する。

【0026】

次に、バリアメタル膜、配線材料膜及びバリアメタル膜を順次堆積する。下層

のバリアメタル膜としては、例えば厚さが70 nmのTiN膜と5 nmのTi膜との積層膜を形成してもよく、配線材料膜としては、例えば厚さが400 nmのAl-Cu合金膜を形成してもよく、上層のバリアメタル膜としては、例えば厚さが30 nmのTiN膜と60 nmのTi膜との積層膜を形成してもよい。

【0027】

次いで、上層のバリアメタル膜上に反射防止膜を形成し、レジスト膜を塗布する。続いて、レジスト膜を配線パターンに整合するように加工し、加工後のレジスト膜をマスクとして、反射防止膜、バリアメタル膜、配線材料膜及びバリアメタル膜をエッチングする。反射防止膜としては、例えばSiON膜を使用することができ、その厚さは例えば30 nm程度である。このようなエッチングにより、図4(b)に示すように、バリアメタル膜32、配線33及びバリアメタル膜34が形成される。

【0028】

その後、更に、層間絶縁膜の形成、コンタクトプラグの形成及び下から第2層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバー膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。なお、上層配線の形成に際しては、上部電極たるIrO₂膜27に接続された配線33がプレート線に接続されるようにし、2個のMOSトランジスタ14により共有された高濃度拡散層16に接続された配線33がビット線に接続されるようにする。ゲート電極18については、それ自体をワード線としてもよく、また、上層配線において、ゲート電極18がワード線に接続されるようにしてもよい。

【0029】

このように、本実施形態においては、PZT膜26bの形成前に、下部電極となるIr膜25の上にLT膜26aを形成している。このLT膜26aはPbを含有していないため、蒸気圧が高くなることはなく、その成膜の際に配向性を容易に制御することが可能である。つまり、配向性の高いLT膜26aを形成することができる。また、LT膜26aの結晶構造はPZT膜26bと同様に、ペロブスカイト型構造である。そして、このようなLT膜26aの上に、PZT膜2

6 bを形成しているので、P Z T膜2 6 bの成長の際にL T膜2 6 aの配向が受け継がれ、高い配向性のP Z T膜2 6 bが得られる。

【0030】

図5は、X線回折法（XRD）による配向性の評価結果を示す図であり、縦軸に回折強度（任意単位）をとり、横軸に 2θ （度）をとって回折強度の強い部分から結晶の配向性を評価したものである。本願発明者が、実際に、強誘電体膜をL T膜及びP Z T膜から構成した試料（L T初期層導入）及び強誘電体膜をP Z T膜のみから構成した試料（初期層なし）について、ペロブスカイト型構造P Z Tの（1 1 1）ピーク強度を測定したところ、図5に示すように、従来の「初期層なし」の試料では、ピーク強度が約2.5目盛であるのに対し、本発明の実施例である「L T初期層導入」の試料では、ピーク強度が約7目盛となった。つまり、この実施例では、従来の3倍ものP Z T（1 1 1）の配向性が得られた。

【0031】

ここで、上述の実施形態では、製造された強誘電体キャパシタにおいて、L T膜2 6 aとP Z T膜2 6 bとが明確に分離され、その境界が明確になっているものとしているが、P Z T膜2 6 bの形成の際にP Z T中のP b及びZ rがL T膜2 6 a中に拡散することもあり得る。つまり、L T膜2 6 aとP Z T膜2 6 bとの境界がぼやける。このような場合、強誘電体膜2 6を、下部電極たるI r膜2 5と接しL aを含有するL a含有領域と、このL a含有領域上に存在しP bを含有するP b含有領域とに区画すると、L a含有領域の最下面におけるL a濃度が、P b含有領域の最上面におけるL a濃度よりも高くなる。このような場合でも、拡散の結果としてL T膜2 6 a自体の配向性が低下しない限り、本発明の効果を得ることは可能である。逆に、P bの拡散に伴って強誘電性を示す領域が拡大することにより、強誘電体膜2 6の全体的な強誘電性が向上することも考えられる。

【0032】

また、上述のような拡散が生じない場合には、P b含有領域はP Z T膜2 6 bから構成されるため、その最上面には、L aが存在しないが、拡散が生じた場合でも、L T膜2 6 a中のL aはP b含有領域の最上面まで到達しにくく、P b含

有領域の最上面には、L a が存在しないことが多い。

【0033】

更に、拡散が生じない場合には、L a 濃度は、L T 膜 2 6 a 中ではその厚さ方向において実質的に一定となる。一方、P b 及び Z r の拡散が生じた場合には、L T 膜 2 6 a 中の L a が若干 P Z T 膜 2 6 b 中に拡散するため、L a 含有領域内では、その最下面（下部電極たる I r 膜 2 5 と接する面）から上部電極たる I r O₂ 膜 2 7 に近づくにつれて単調に減少することとなる。

【0034】

また、上述の実施形態では、L T 膜 2 6 a を MOCVD 法により形成しているが、例えばゾルゲル法又はスパッタ法により形成してもよい。但し、緻密な薄膜を形成することができる観点から、MOCVD 法がより好ましい。

【0035】

更に、L T 膜の上に形成する膜は、ペロブスカイト型構造で強誘電性を示すものであれば P Z T 膜に限定されるものではない。例えば、P Z T に L a をドーピングした (P b, L a) (Z r, T i) O₃ (P L Z T ともいう。)、C a をドーピングした (P b, C a) (Z r, T i) O₃ (P C Z T ともいう。)、S r をドーピングした (P b, S r) (Z r, T i) O₃ (P S Z T ともいう。)、L a 及び C a をドーピングした (P b, L a, C a) (Z r, T i) O₃ (P L C Z T ともいう。)、L a 及び S r をドーピングした (P b, L a, S r) (Z r, T i) O₃ (P L S Z T ともいう。)、C a 及び S r をドーピングした (P b, C a, S r) (Z r, T i) O₃ (P C S Z T ともいう。)、L a、S r 及び C a をドーピングした (P b, L a, C a, S r) (Z r, T i) O₃ (P L C S Z T ともいう。) を L T 膜上に形成して、強誘電体膜を構成してもよい。また、L a、C a 及び S r はペロブスカイト型構造の A サイトに位置する元素であるが、B サイトに位置する N b 及び M n を P Z T にドーピングした膜を L T 膜上に形成して、強誘電体膜を構成してもよい。

【0036】

L a をドーピングした膜では、P Z T 膜と比較して、疲労特性が向上し、リーク電流が低下するという効果が得られる。C a 及び／又は S r を添加した膜では

、P Z T膜と比較して、水素劣化が発生しにくくなるという効果が得られる。これらは、強誘電体キャパシタを強誘電体メモリに適用する場合に有効である。また、N b又はM nを添加した膜では、P Z T膜と比較して、圧電特性が向上するという効果が得られる。これらは、強誘電体キャパシタを圧電素子に適用する場合に有効である。

【0037】

また、本発明が適用される半導体装置は、上述の強誘電体メモリ及び圧電素子に限定されるものではなく、強誘電体キャパシタを備えるものであれば、適用することが可能である。例えば、ペロブスカイト型構造の結晶構造を備えた強誘電体膜の焦電特性を利用して、本発明のデバイス構造を赤外線センサに適用することも可能である。但し、赤外線センサに適用する場合には、キャパシタ特性の向上を目的としたL T膜の薄膜化は必ずしも要しない。製造の容易さを考慮すれば、赤外線センサのためには、むしろL T膜は厚い方が好ましい。

【0038】

更に、電極の構造も特に限定されるものではなく、例えばP t膜とT i膜との積層構造の下部電極を使用してもよい。P t膜とT i膜との積層構造を採用すれば、結晶性は比較的良好になる。しかし、P t膜とT i膜との積層構造によっては、強誘電体膜中のP bの拡散を完全に防止することは困難である。従って、P bの拡散を防止する対策を講じれば、P t膜とT i膜との積層構造の下部電極を使用することができ、逆に、上記の実施形態のように構成すれば、強誘電体膜中のP b拡散の問題は解消できることとなる。

【0039】

また、初期層として形成するL T膜の厚さも特に限定されるものではないが、良好な配向性を確保できる範囲でできるだけ薄くすることが好ましい。これは、L T膜は、上述のように強誘電性を示さないもので、この膜が厚すぎると、上部電極及び下部電極間に印加された電圧のうち、この膜にかかる電圧が大きくなって、強誘電体性を示す部分にかかる電圧が小さくなり、効率が低下するためである。

【0040】

以下、本発明の諸態様を付記としてまとめて記載する。

【0041】

(付記1) 半導体基板と、
前記半導体基板の上方に形成された下部電極及び上部電極と、
前記下部電極と前記上部電極との間に挟まれ、ペロブスカイト型構造の結晶構造を備えた強誘電体膜とを有し、
前記強誘電体膜は、
前記下部電極と接し、L aを含有するL a含有領域と、
前記L a含有領域上に存在し、P bを含有するP b含有領域と、
を有し、
前記L a含有領域の最下面におけるL a濃度が、前記P b含有領域の最上面におけるL a濃度よりも高いことを特徴とする半導体装置。

【0042】

(付記2) 前記P b含有領域の最上面には、L aが存在しないことを特徴とする付記1に記載の半導体装置。

【0043】

(付記3) 前記L a含有領域におけるL a濃度が、前記下部電極と接する面から前記上部電極側に近づくにつれて単調に減少するか、又は一定であることを特徴とする付記1又は2に記載の半導体装置。

【0044】

(付記4) 前記L a含有領域は、P b及びZ rからなる群から選択された少なくとも1種の元素を更に含有することを特徴とする付記1乃至3のいずれか1項に記載の半導体装置。

【0045】

(付記5) 前記L a含有領域は、L a T i O₃膜から構成されていることを特徴とする付記3に記載の半導体装置。

【0046】

(付記6) 前記L a T i O₃膜は、MOCVD膜であることを特徴とする付記5に記載の半導体装置。

【0047】

(付記7) 前記 LaTiO_3 膜は、MOCVD膜であり、且つその厚さが20nm以下であることを特徴とする付記5に記載の半導体装置。

【0048】

(付記8) 前記Pb含有領域は、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Ca})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La}, \text{Ca})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Ca}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、及び $(\text{Pb}, \text{La}, \text{Ca}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜からなる群から選択されたいずれか1種の膜から構成されていることを特徴とする付記1乃至7のいずれか1項に記載の半導体装置。

【0049】

(付記9) 前記下部電極は、Irから構成されていることを特徴とする付記1乃至8のいずれか1項に記載の半導体装置。

【0050】

(付記10) 半導体基板の上方に下部電極を形成する工程と、
前記下部電極上に、Laを含有しPbを含有しないペロブスカイト型構造の結晶構造を備えた下地膜を形成する工程と、
前記下地膜上に、Pbを含有するペロブスカイト型構造の結晶構造を備えた強誘電体膜を形成する工程と、
前記強誘電体膜上に、上部電極を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【0051】

(付記11) 前記下地膜を、 LaTiO_3 膜とすることを特徴とする付記10に記載の半導体装置の製造方法。

【0052】

(付記12) 前記下地膜は、MOCVD膜であり、且つその厚さが20nm以下であることを特徴とする付記10又は11に記載の半導体装置の製造方法。

【0053】

(付記 13) 前記強誘電体膜を、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Ca})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{La}, \text{Ca})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $(\text{Pb}, \text{Ca}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、及び $(\text{Pb}, \text{La}, \text{Ca}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$ 膜からなる群から選択されたいずれか1種の膜とすることを特徴とする付記 10 乃至 12 のいずれか1項に記載の半導体装置の製造方法。

【0054】

(付記 14) 前記下地膜を形成する工程と前記強誘電体膜を形成する工程とを、前記下地膜を大気に触れさせることなく連続して行うことを特徴とする付記 10 乃至 13 のいずれか1項に記載の半導体装置の製造方法。

【0055】

(付記 15) 前記下部電極を形成する工程と前記下地膜を形成する工程とを、前記下部電極を大気に触れさせることなく連続して行うことを特徴とする付記 10 乃至 14 のいずれか1項に記載の半導体装置の製造方法。

【0056】

(付記 16) 前記強誘電体膜を形成する工程と前記上部電極を形成する工程とを、前記強誘電体膜を大気に触れさせることなく連続して行うことを特徴とする付記 10 乃至 15 のいずれか1項に記載の半導体装置の製造方法。

【0057】

(付記 17) 前記下地膜をMOCVD法により形成することを特徴とする付記 10 乃至 16 のいずれか1項に記載の半導体装置の製造方法。

【0058】

(付記 18) 前記強誘電体膜をMOCVD法により形成することを特徴とする付記 10 乃至 17 のいずれか1項に記載の半導体装置の製造方法。

【0059】

(付記 19) 前記下部電極を、Ir膜から形成することを特徴とする付記 10 乃至 18 のいずれか1項に記載の半導体装置の製造方法。

【0060】

【発明の効果】

以上詳述したように、半導体装置に係る発明によれば、強誘電体膜のL a含有領域の配向性はP Z T膜のそれよりも高いので、その上に存在するP b含有領域の配向性も高くなる。このため、高い信頼性が得られる。

【0061】

また、半導体装置の製造方法に係る発明によれば、P bを含まない下地膜を高い配向性で形成することができ、また、下地膜の配向をその上に形成する強誘電体膜まで受け継がせることができる。つまり、強誘電体膜の配向性が下地膜の配向性に拘束され、高い配向性の強誘電体膜を得ることができる。このため、例えば高性能の強誘電体メモリを高い信頼性で製造することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る強誘電体メモリ（半導体装置）のメモリセルアレイの構成を示す回路図である。

【図2】

本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

【図3】

同じく、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す図であって、図2に示す工程の次工程を示す断面図である。

【図4】

同じく、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す図であって、図3に示す工程の次工程を示す断面図である。

【図5】

X線回折法（XRD）による配向性の評価結果を示す図である。

【符号の説明】

- 1；強誘電体キャパシタ
- 2；MOSトランジスタ
- 3；ビット線

4 ; ワード線
5 ; プレート線
1 1 ; 半導体基板
1 2 ; 素子分離絶縁膜
1 3 ; ウェル
1 4 ; MOSトランジスタ
1 5 ; 低濃度拡散層
1 6 ; 高濃度拡散層
1 7 ; ゲート絶縁膜
1 8 ; ゲート電極
1 9 ; シリサイド層
2 0 ; サイドウォール
2 1 ; シリコン酸窒化膜
2 2 ; シリコン酸化膜
2 3 ; バリアメタル膜
2 4 ; Wプラグ
2 5 ; I r 膜
2 6 ; 強誘電体膜
2 6 a ; L T 膜
2 6 b ; P Z T 膜
2 7 ; I r O₂ 膜
2 8 ; 保護膜
2 9 ; 層間絶縁膜
3 0 ; バリアメタル膜
3 1 ; Wプラグ
3 2 ; バリアメタル膜
3 3 ; 配線
3 4 ; バリアメタル膜

【書類名】

図面

【図1】

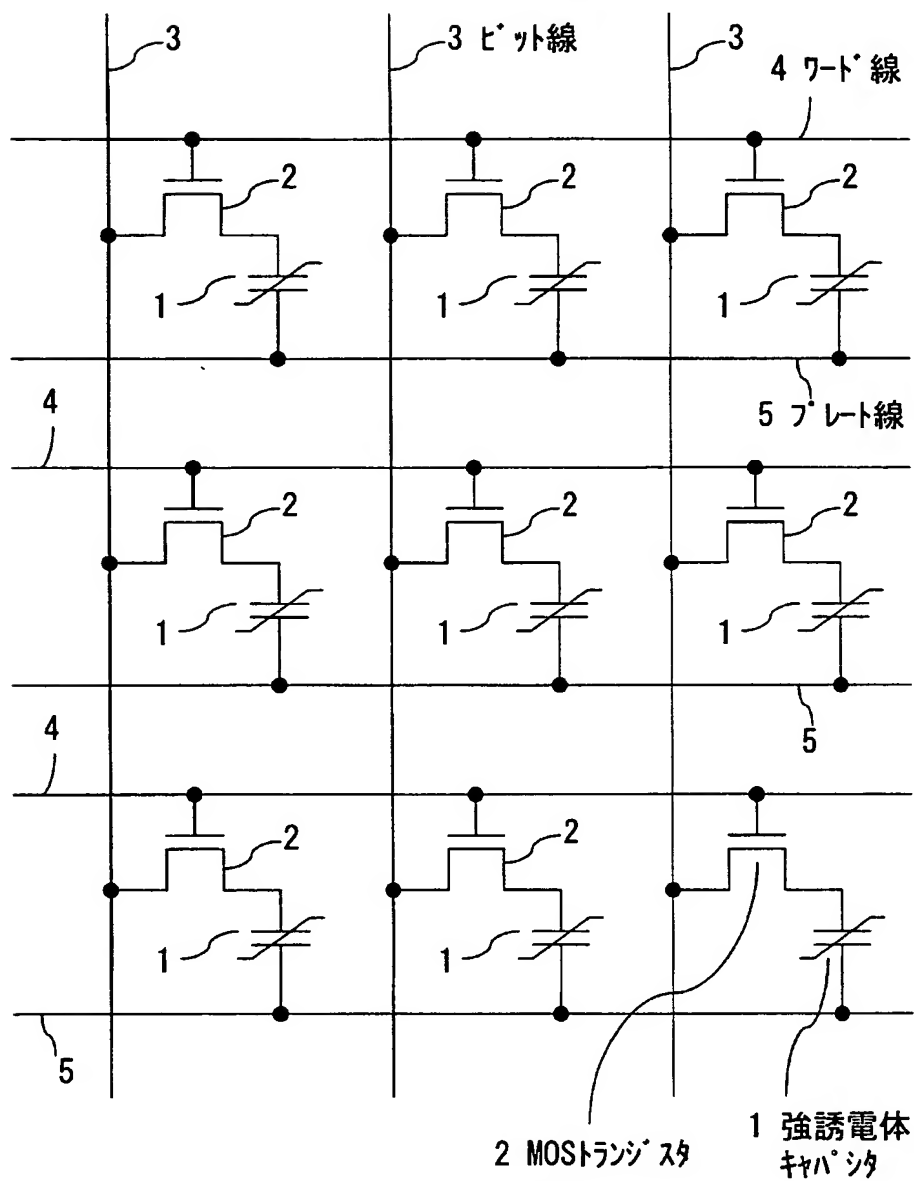


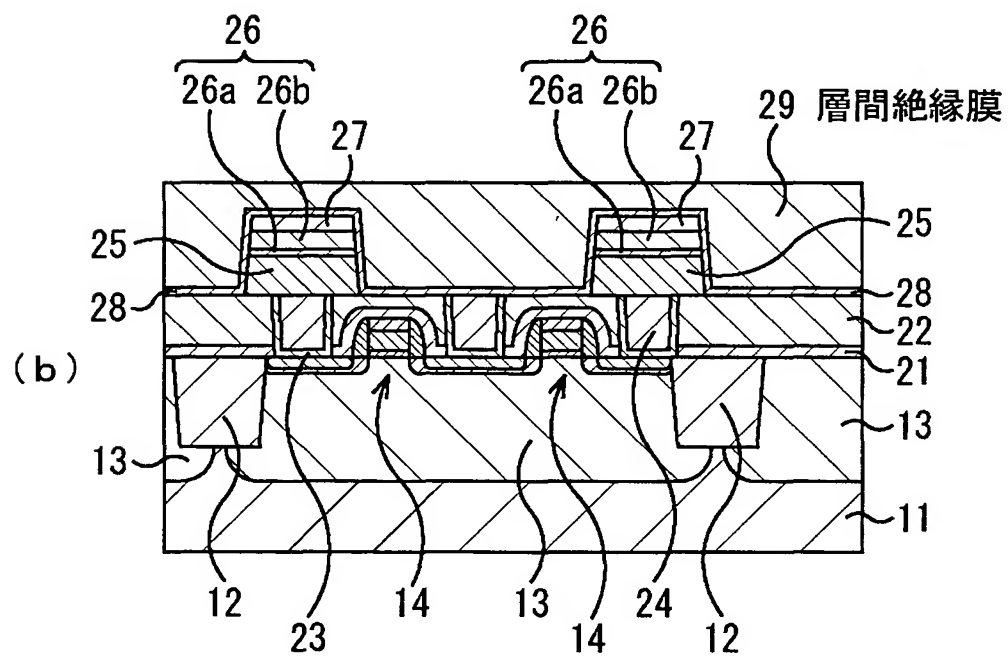
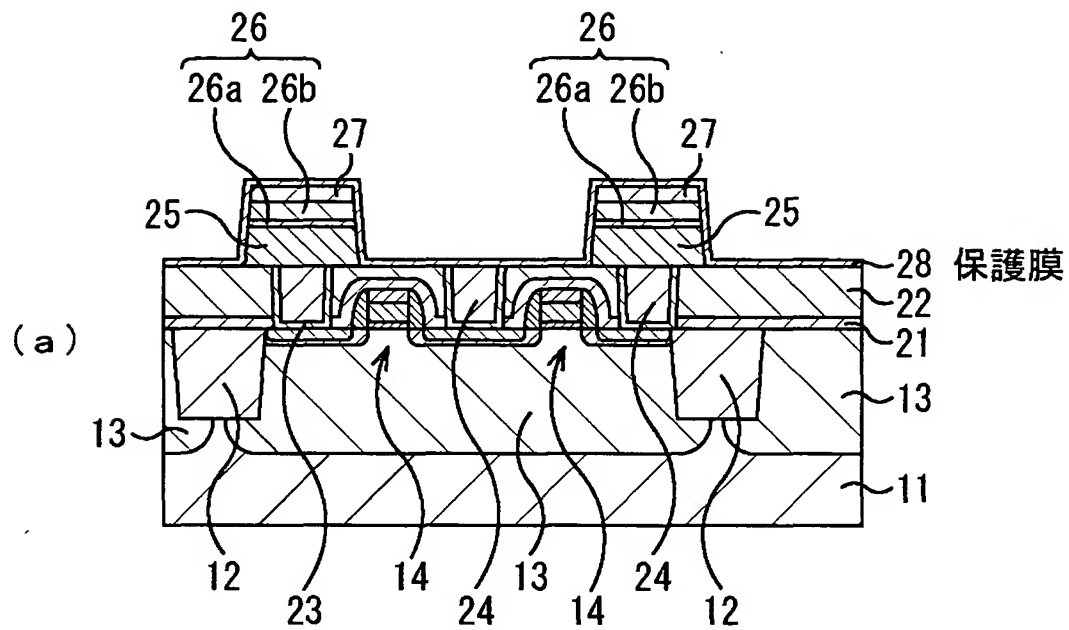
Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c), showing the progression of its construction.

(a) Initial Structure: This view shows a semiconductor substrate 11 with a well 13. A silicon oxide film 21 is formed on the surface. A silicon nitride film 22 is deposited over the oxide film. A gate electrode 18 is formed on top of the nitride film. A side wall 20 is formed on the side of the gate electrode. A W plug 24 is formed in the well. A barrier metal film 23 is formed on the surface. A low concentration diffusion layer 15 is formed in the substrate. A high concentration diffusion layer 16 is formed in the substrate. A gate insulating film 17 is formed on the surface. A MOS transistor 14 is formed. A substrate isolation insulating film 12 is formed. A silicide layer 19 is formed on the gate electrode. A silicide layer 19 is formed on the side wall. A silicide layer 19 is formed on the W plug.

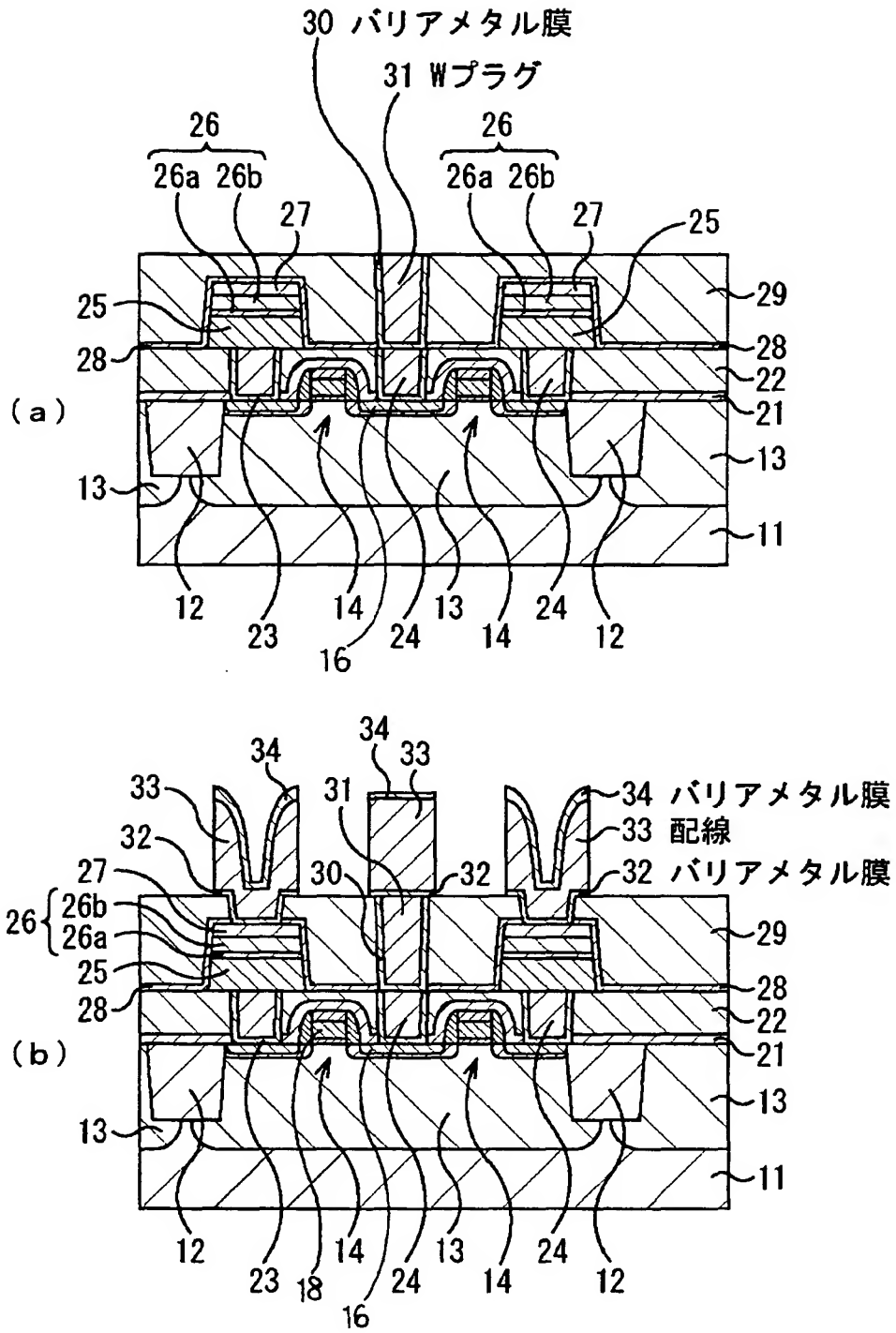
(b) Addition of IrO₂ and Ir Layers: This view shows the addition of an IrO₂ film 27 and an Ir film 25 on top of the barrier metal film 23. The IrO₂ film 27 is formed on the surface. The Ir film 25 is formed on the surface.

(c) Addition of Piezoelectric Layer (PZT): This view shows the addition of a piezoelectric layer 26 (PZT film 26b and LT film 26a) on top of the IrO₂ film 27. The PZT film 26b is formed on the surface. The LT film 26a is formed on the surface.

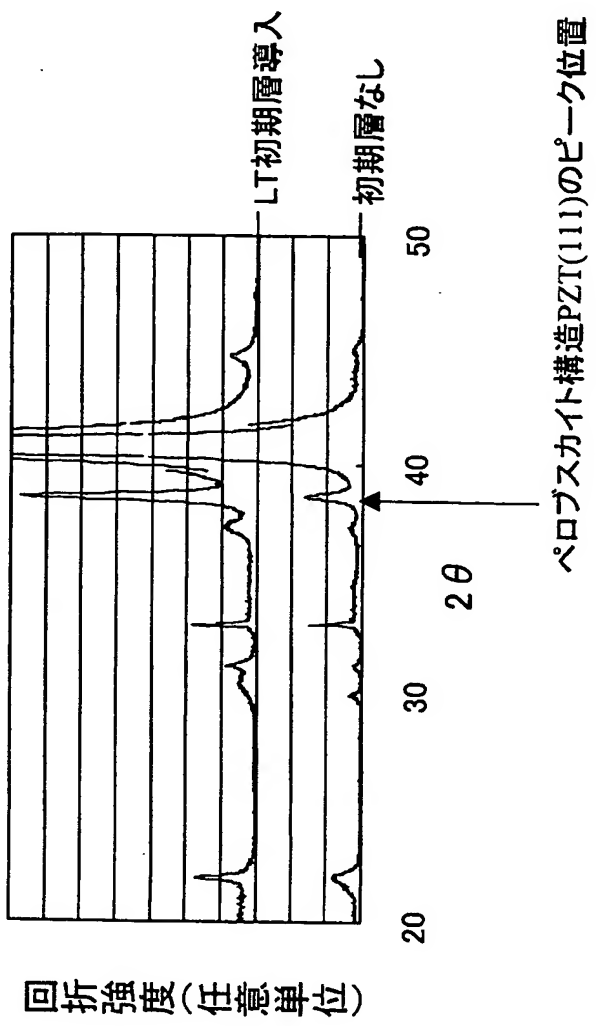
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 強誘電体膜に高い配向性を確保することができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 上に MOS トランジスタ 1 4 を形成した後、全面に Ir 膜 2 5、LT 膜 2 6 a、PZT 膜 2 6 b 及び IrO₂ 膜 2 7 を順次形成する。LT 膜 2 6 a 自体は強誘電体膜ではないが、LT 膜 2 6 a 及び PZT 膜 2 6 b の積層膜から強誘電体膜 2 6 が構成される。このような強誘電体膜 2 6 を有する強誘電体キャパシタにおいては、LT 膜 2 6 a が Pb を含有していないため、その成膜の際に配向性を容易に制御することが可能であり、配向性の高い LT 膜 2 6 a を形成することができる。また、LT 膜 2 6 a の結晶構造は PZT 膜 2 6 b と同様に、ペロブスカイト型構造である。そして、このような LT 膜 2 6 a の上に、PZT 膜 2 6 b を形成しているので、PZT 膜 2 6 b の成長の際に LT 膜 2 6 a の配向が引き継がれ、高い配向性の PZT 膜 2 6 b が得られる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社